



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0077084

Application Number

출 원 년 월 일 : 2002년 12월 05일

Date of Application

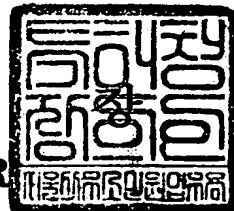
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 02 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.12.05
【국제특허분류】	H01L
【발명의 명칭】	반도체 패키지 검사 장치 및 이를 이용한 검사 방법
【발명의 영문명칭】	Test kit for semiconductor package and test method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	민병준
【성명의 영문표기】	MIN,Byung Jun
【주민등록번호】	670523-1468416
【우편번호】	330-190
【주소】	충청남도 천안시 청수동 극동1차아파트 101-703
【국적】	KR
【발명자】	
【성명의 국문표기】	방정호
【성명의 영문표기】	BANG,Jeong Ho
【주민등록번호】	550124-1148824
【우편번호】	449-846

【주소】	경기도 용인시 수지읍 풍덕천리 1168 진산마을 삼성5차아파트 513-40 1		
【국적】	KR		
【발명자】			
【성명의 국문표기】	심현섭		
【성명의 영문표기】	SHIM,Hyun Seop		
【주민등록번호】	581026-1143417		
【우편번호】	336-850		
【주소】	충청남도 아산시 배방면 모산 한도아파트 107-404		
【국적】	KR		
【발명자】			
【성명의 국문표기】	채효근		
【성명의 영문표기】	CHAE,Hyo Geun		
【주민등록번호】	630220-1017511		
【우편번호】	140-070		
【주소】	서울특별시 용산구 도원동 23번지 도원삼성래미안아파트 111-2205		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	17	면	17,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	25	항	909,000 원
【합계】	955,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

소켓에서 반도체 패키지 형태에 따라 다양한 형태의 어댑터를 사용해야 하는 문제 점을 해결할 수 있는 반도체 패키지 검사 장치에 관해 개시한다. 본 발명은 반도체 패키지를 소켓에 로딩/언로딩할 때에 사용하는 해드 어셈블리에 패키지 가이더와 소켓 가이더 기능을 추가하여 소켓 내부에서 사용하는 어댑터를 제거하거나 혹은 프리 사이즈 어댑터 형으로 개조하여 반도체 패키지 형태가 변화될 때마다 반드시 수행해야 하는 어댑터 금형 교체 비용, 인터페이스 보오드의 소켓 교체 시간 등을 절약하여 반도체 패키지 검사 공정에서 효율성을 증대시킬 수 있다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

반도체 패키지 검사 장치 및 이를 이용한 검사 방법{Test kit for semiconductor package and test method thereof}

**【도면의 간단한 설명】**

도 1은 종래 기술에 의한 반도체 패키지 검사 장치의 소켓에서 어댑터가 있는 소켓 콘택 기판의 평면도이다.

도 2는 상기 도1의 소켓 콘택 기판을 사용하여 반도체 패키지를 로딩하는 것을 설명하기 위한 단면도이다.

도 3은 반도체 패키지 형태가 변화되었을 때에 어댑터가 변화되는 것을 설명하기 위한 소켓 콘택 기판의 평면도이다.

도 4는 본 발명에서 사용되는 소켓의 측면도이다.

도 5는 본 발명에 의한 반도체 패키지 검사 장치의 해드 어셈블리를 설명하기 위한 사시도이다.

도 6은 도5의 평면도이고; 도 7은 정면도이다.

도 8은 도5에서 단위 해드 어셈블리에 대한 사시도이다.

도 9는 도8을 밑에 방향에서 바라본 사시도이다.

도 10은 본 발명에 의한 해드 어셈블리의 패키지 가이드를 통한 반도체 패키지 로딩 과정을 설명하기 위한 개략적인 측면도이다.

도 11은 본 발명에 의한 소켓의 평면도이다.

도 12는 본 발명에 의한 프리 사이즈 어댑터의 평면도이다.

도 13은 본 발명에 의한 프리 사이즈 어댑터를 소켓에 장착하였을 때에 소켓의 평면도이다.

#### \* 도면의 주요부분에 대한 부호의 설명 \*

100: 해드 어셈블리, 102: 패키지 가이더,

104: 소켓 가이더, 106: 퍽 앤 플레이스 툴 작동부,

101: 단위 해드 어셈블리, 200: 소켓,

202: 소켓 커버, 204: 래치(latch),

206: 스플링, 208: 소켓 콘택 기판,

207: 소켓 식별 부호, 210: 소켓 핀,

220: 프리 사이즈 어댑터, 212: 지지부,

214: 개방부,

300: 퍽 앤 플레이스 툴(pick and place tool),

302: 진공흡착부, 400: 반도체 패키지.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<24> 본 발명은 반도체 패키지에 검사장치에 관한 것으로, 더욱 상세하게는 반도체 패키지를 검사하는데 사용되는 해드 어셈블리(head assembly) 및 소켓(socket)에 관한 것이다.

<25> 최근 반도체 패키지의 형태가 더욱 얇아지고, 크기가 더욱 축소되면서 그에 맞추어 반도체 패키지 형태도 외부연결단자의 모양이 기존의 리드를 사용하는 형태에서 솔더볼을 사용하는 형태인 마이크로 비.지.에이(Micro BGA) 및 CSP(Chip Size Package) 형으로 발전하고 있다.

<26> 일반적으로 반도체 소자는 그 기능이 정상적인 비정상적인지를 제조공정에서 수 차례 검사하게 되는데, 이것을 컴퓨터에 각종 계측장비를 장착한 테스터(tester)를 사용하여 진행하게 된다. 이러한 테스터를 사용한 반도체 소자의 전기적 검사로는, 웨이퍼 상태에서 진행되는 전기적 다이 분류 검사(EDS: Electrical Die Sorting), 반도체 패키지 형태로 조립이 완료된 상태에서 수행되는 최종검사(Final test) 및 웨이퍼 상태의 반도체 칩 및 조립이 완료된 상태의 반도체 패키지에 대한 신뢰도 검사 등이 있다.

<27> 또한 상기 최종검사는, 상온 최종 검사(room temperature electrical final test), 상온보다 낮은 온도에서 실시하는 저온 최종 검사(cold temperature electrical final test) 및 상온보다 높은 온도에서 실시하는 고온 최종검사(hot temperature electrical final test) 등이 있다. 그리고 상기 신뢰도 검사는 수많은 종류의 신뢰도 검사가 있으나, 소켓을 사용한 대표적인 신뢰도 검사로는 번인 검사(burn-in)가 있다. 상기 번인 검사는 반도체 소자의 초기 불량품을 스크린(screen)하기 위하여 고온 및 높은 전압과 같은 혹독한 조건을 반도체 소자에 가하여 제품 출하전에 초기 불량의 가능성 있는 반도체 소자를 사전에 제거하는 검사이다.

<28> 또한, 테스터를 이용한 반도체 소자의 전기적 검사는, 테스터에서 반도체 소자를 검사하는 방식에 따라 직렬 검사(Serial test)와 병렬 검사(parallel test)로 분류한다.

상기 직렬 검사는 반도체 패키지를 하나씩 검사하는 방법이고, 병렬 검사는 동시에 많은 수의 반도체 칩 혹은 반도체 패키지를 일괄적으로 검사하는 방식이다.

<29> 통상적으로 상기 번인 검사 및 병렬 검사는 하나의 인터페이스 보오드(interface board)에 32 내지 256개의 소켓을 내장하고 있어, 많은 개수 반도체 칩 혹은 반도체 패키지를 동시에 일괄적으로 검사할 수 있다. 상기 인터페이스 보오드는 반도체 소자와 테스터를 전기적으로 연결하는데 사용되는 보오드를 말한다.

<30> 도 1은 종래 기술에 의한 반도체 패키지 검사 장치의 소켓에서 어댑터가 있는 소켓 콘택 기판의 평면도이고, 도 2는 상기 도1의 소켓 콘택 기판을 사용하여 반도체 패키지를 로딩하는 것을 설명하기 위한 단면도이다.

<31> 도 1 및 도 2를 참조하면, 외부연결단자가 솔더볼(32)인 비.지.에이(BGA: Ball Grid Array)나 칩 크기 패키지(CSP: Chip Scale Package)의 인터페이스 보오드에 사용되는 소켓에 대한 소켓 콘택 기판(20)에 대한 평면도이다. 상기 소켓 콘택 기판(20)에는 반도체 패키지(30)의 외부연결단자(32)와 1:1로 대응할 수 있는 복수개의 소켓핀(34)들이 어레이 형태로 배열되어 있다. 또한 상기 소켓 콘택 기판(20)에는 반도체 패키지(30)의 몸체(31) 크기에 맞는 어댑터(41)가 고정수단(42)을 통하여 설치된다.

<32> 상기 어댑터(41)에는 내측에 경사면(40)이 있기 때문에, 로딩시 반도체 패키지의 몸체(31)가 경사면(40)을 통하여 미끄러져 들어가 어댑터(41)에 정확하게 들어가기 때문에, 반도체 패키지의 외부연결단자(32)가 소켓 콘택 기판(20)의 소켓핀(34)과 정확하게 연결될 수 있다.

<33> 그러나 반도체 칩 제조 공정에서는, 단위 웨이퍼 당 가급적 많은 개수의 반도체 칩을 생산하기 위하여 단위 반도체 칩의 크기를 줄이는 작업이 끊임없이 지속되고 있다. 이에 따라 반도체 패키지(30)의 크기 역시 조금씩 줄어들고 있는 실정이다. 이에 따라 반도체 패키지의 몸체(31) 크기가 도면의 점선(50)과 같이 줄어들 경우에는 기존에 사용하는 어댑터(41)는 크기 차이로 인하여 사용이 어렵게 된다. 이는 로딩시에 반도체 패키지(30)의 외부연결단자(32)와 소켓핀(34)과의 정렬 오차를 보상할 수 없기 때문이다. 이에 따라, 반도체 패키지의 크기가 변화되면 새로운 크기의 어댑터로의 교체가 필수적이다.

<34> 도 3은 반도체 패키지 형태가 변화되었을 때에 어댑터가 변화되는 것을 설명하기 위한 소켓 콘택 기판의 평면도이다.

<35> 도 3을 참조하면, 반도체 패키지의 몸체 크기 및 외부연결단자인 솔더볼의 배열이 크게 다른 경우에는 어댑터(41A)의 모양을 다른 모양으로 바꾸어 고정수단(42)을 이용하여 부착시킨 후, 반도체 패키지에 대한 전기적 검사를 실시하게 된다. 하지만, 이 경우에도 어댑터(41A)의 교체가 필수적으로 뒤따른다.

<36> 따라서, 반도체 패키지의 전기적 검사에서 병렬 검사 혹은 번인 검사인 경우에는 상술한 소켓내의 어댑터에 의한 제한 때문에, 반도체 패키지의 모양에 약간의 변화가 생긴 경우에도 많은 양의 인터페이스 보오드를 새로 만들거나 혹은 교체해야 할 필요가 대두되었다. 이로 인하여 반도체 패키지를 검사하는 공정에서 검사 비용이 높아지게 된다.

<37> 또한, 반도체 패키지 크기에 변화가 생기면 어댑터 금형을 새로 제작하여야 하고, 하나의 인터페이스 보오드 내에 있는 많은 수의 소켓에서 어댑터를 제거하고 새것으로

바꾸어야 하는 작업이 필요하다. 또한 인터페이스 보오드가 각각의 반도체 패키지 별로 전용으로 마련되어야 하기 때문에, 반도체 패키지의 검사공정에 있어서 효율성이 떨어진다.

#### 【발명이 이루고자 하는 기술적 과제】

<38> 본 발명이 이루고자 하는 기술적 과제는 소켓 콘택 기판 위에 있는 어댑터의 기능을 반도체 패키지를 로딩시 사용하는 해드 어셈블리로 옮기고, 소켓의 형태를 의 반도체 패키지 몸체 크기 및 외부연결단자 배열에 관계없이 사용할 수 있는 일반적인 형태(universal type)로 만들으로써 상술한 문제점들을 해결할 수 있는 반도체 패키지 검사 장치를 제공하는데 있다.

<39> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 반도체 패키지 검사 장치를 이용한 검사방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<40> 상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 패키지를 집어 로딩/un로딩/loading/unloading)할 수 있는 퍽 앤 플레이스 툴(pick and place tool)과, 상기 퍽 앤 플레이스 툴 외곽에서 낙하하는 상기 반도체 패키지를 정렬시키는 기능을 수행하는 패키지 가이더(package guider)와, 상기 패키지 가이더 동작 전에 상기 패키지 가이더 외곽에서 소켓 커버을 누르는 기능을 수행하고 상기 소켓 커버와 맞닿아 상기 패키지 가이더가 정확하게 동작하도록 선정렬(pre-alignment)을 수행하는 소켓 가이더(socket guider)를 포함하는 해드 어셈블리(head assembly) 및 상기 해드 어셈블리 아래에서 상기 퍽 앤 플레이스 툴 및 해드 어셈블리에 의해 로딩된 반도체 패키지를 테스터와 연결

하는 기능을 수행하는 소켓을 구비하는 것을 특징으로 하는 반도체 패키지 검사 장치를 제공한다.

<41> 본 발명의 바람직한 실시예에 의하면, 상기 소켓은, 상기 소켓의 최상부에 있으며 상기 해드 어셈블리의 소켓 가이더에 의해 선정력을 가능하게 하는 소켓 커버와, 상기 소켓 커버 아래에서 상기 반도체 패키지의 외부연결단자가 연결되도록 복수개의 소켓핀이 어레이 형태로 정렬된 소켓 콘택 기판 및 상기 소켓 콘택 기판 위에 설치되며, 상기 해드 어셈블리의 패키지 가이더가 누르는 힘에 의해 개방되어 상기 반도체 패키지의 로딩/언로딩을 가능하게 하고, 상기 누르는 힘이 풀어질 때에는 상기 래치가 반도체 패키지를 고정시키는 역할을 하는 래치(latch)를 구비하는 것이 적합하다.

<42> 상기 소켓 콘택 기판은 특정 형태의 반도체 패키지 형태만을 위한 것이 아니라 일반적인 반도체 패키지에 모두 적용될 수 있는 소켓 콘택 기판(universal contact board for socketter)인 것이 적합하며, 상기 소켓은 상기 소켓 콘택 기판 위에 설치되는 프리 사이즈 어댑터(free size adapter)를 더 구비하는 것이 적합하다.

<43> 바람직하게는, 상기 프리 사이즈 어댑터는 상기 반도체 패키지의 외부연결단자가 상기 소켓의 소켓 콘택 기판과 연결될 때에 패키지 가이더가 위치할 수 있는 공간을 확보하고 소켓 콘택 기판 표면을 보호할 수 있는 구조로서, 지지부 및 개방부로 이루어고, 재질이 휘어질 수 있는 플라스틱인 것이 적합하다.

<44> 본 발명의 바람직한 실시예에 의하면, 상기 꿈 앤 플레이스 툴은 진공에 의해 반도체 패키지 몸체를 흡착하여 로딩/언로딩하는 것이 적합하다.

<45> 또한, 본 발명의 바람직한 실시예에 의하면, 상기 해드 어셈블리는 복수개의 반도체 패키지를 동시에 로딩/언로딩할 수 있는 구조인 것이 적합하며, 상기 해드 어셈블리는 네 귀퉁이에서 낙하하는 반도체 패키지 몸체가 닿은 상태로 미끄러져 정렬되는 경사부와, 상기 경사부를 통과한 반도체 패키지가 정렬된 상태로 낙하되는 정렬부를 포함하는 패키지 가이더를 구비하는 것이 적합하다.

<46> 또한 바람직하게는, 상기 해드 어셈블리의 소켓 가이더는 해드 어셈블리가 아래로 눌러질 때에 소켓 가이더 끝단의 경사면을 통해 미끄러져 상기 소켓 커버의 네 귀퉁이 외곽에 맞닿아 상기 해드 어셈블리와 상기 소켓의 위치가 정확하게 일치되도록 정렬시키는 구조인 것이 적합하다.

<47> 본 발명의 바람직한 실시예에 의하면, 상기 소켓은 반도체 패키지의 병렬검사를 위한 인터페이스 보오드에 사용되는 것이거나, 번인 검사(burn-in test)를 위한 인터페이스 보오드에 사용되는 것이 적합하다.

<48> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은, 복수개의 소켓들이 탑재되어 반도체 패키지의 전기적 검사를 수행할 수 있는 인터페이스 보오드(interface board)를 준비하는 단계와, 상기 인터페이스 보오드의 소켓에 있는 소켓 커버 위에 해드 어셈블리의 소켓 가이더를 도킹시켜 1차 정렬을 진행하는 단계와, 상기 해드 어셈블리의 패키지 가이더가 소켓 커버를 눌러 소켓 래치를 열어주는 단계와, 픽 앤 플레이스 툴에 부착된 반도체 패키지가 상기 해드 어셈블리의 패키지 가이더에 의해 2차 정렬되면서 소켓 내부의 소켓 콘택 기판에 탑재되는 단계와, 상기 해드 어셈블리가 위에서 누르는 힘이 해제되면서 상기 소켓의 래치가 상기 반도체 패키지를 고정시키는 단계와, 상기 픽 앤 플레이스 툴에서 상기 반도체 패키지가 분리되는 단계 및 상기 소켓 콘택 기판에 탑재된

상기 반도체 패키지에 대한 전기적 검사를 진행하는 단계를 구비하는 것을 특징으로 하는 반도체 패키지 검사 방법을 제공한다.

<49> 본 발명의 바람직한 실시예에 의하면, 상기 인터페이스 보오드는 반도체 패키지에 대한 최종검사(Final test)용인 것이 적합하며, 상기 최종검사는 고온, 상온 및 저온 검사 중에서 어느 하나인 것이 적합하다.

<50> 또한 본 발명의 바람직한 실시예에 의하면, 상기 인터페이스 보오드는 상기 반도체 패키지에 대한 번인 검사용인 것이 적합하다.

<51> 바람직하게는, 상기 1차 정렬은 소켓 가이더의 네 귀퉁이가 상기 소켓 커버의 네 귀퉁이에 정확하게 맞닿아 정렬이 이루어지는 것이 적합하고, 상기 2차 정렬 방법은 상기 패키지 가이더의 경사부를 통해 상기 반도체 패키지가 정 위치로 내려오도록 하는 단계 및 상기 정 위치된 반도체 패키지가 정렬된 상태로 정렬부를 통해 수직으로 내려오도록 하는 단계를 구비하는 것이 적합하다.

<52> 본 발명의 바람직한 실시예에 따르면, 상기 소켓 콘택 기판은 상기 반도체 패키지가 로딩시 패키지 가이더가 위치할 수 있는 공간 확보하고 소켓 콘택 기판 표면을 보호 할 수 있는 구조물을 상부에 더 구비하는 것이 적합하고, 상기 구조물은 상기 반도체 패키지의 외부연결단자의 어레이 형태에 관계없이 적용될 수 있는 일반적인 구조의 프리 사이즈 어댑터인 것인 것이 적합하다.

<53> 바람직하게는, 상기 소켓의 래치가 상기 반도체 패키지를 고정시키는 방법은 위에서 반도체 패키지를 눌려서 고정시키는 것이 적합하고, 상기 반도체 패키지는 솔더볼을 외부연결단자로 사용하는 것이 적합하다.

<54> 본 발명에 따르면, 기존의 소켓 콘택 기판에 위에 필수적으로 사용되었던 어댑터의 기능을 해드 어셈블리에서 수행하게 하고, 상기 어댑터를 제거하고 프리 사이즈 어댑터를 부착함으로써, 하나의 인터페이스 보오드를 여러 종류의 반도체 패키지에 공용으로 사용할 수 있어서 반도체 패키지의 전기적 검사공정에서 비용을 절감하고, 효율성 증대를 달성하고, 어댑터 개발 및 금형 설계에 소요되는 비용을 절감하고, 어댑터의 교체비용 및 교체 시간을 절감할 수 있다.

<55> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다.

<56> 본 명세서에서 말하는 프리 사이즈 어댑터는 가장 넓은 의미로 사용하고 있으며 아래의 실시예에 도시된 것과 같은 특정 형상만을 한정하는 것이 아니다.

<57> 본 발명은 그 정신 및 필수의 특징을 이탈하지 않고 다른 방식으로 실시할 수 있다. 예를 들면 본 발명을 회피할 목적으로 상기 소켓의 구조, 소켓핀의 형상, 해드 어셈블리의 패키지 가이더 및 소켓 가이더 등은 본 발명이 속하는 기술분야에서 당업자의 수준에서 약간의 변형이 가능하다. 따라서, 아래의 바람직한 실시예에서 기재한 내용은 예시적인 것이며 한정하는 의미가 아니다.

<58> 도 4는 본 발명에서 사용되는 소켓의 측면도이다.

<59> 도 4를 참조하면, 본 발명에서 사용되는 소켓(200)은, 소켓 커버(202)와, 소켓 콘택 기판(208) 및 래치(204)를 포함한다. 상기 소켓 커버(202)는, 소켓(200)의 최상부에

위치하며, 해드 어셈블리(도5의 100)의 소켓 가이더(104)와 접촉될 때에 해드 어셈블리와 소켓(200)을 선정렬(pre-alignment)하는 기능을 수행하는데 사용된다. 또한 위에서 눌려질 때에 스프링(206)과 함께 동작하여 소켓 콘택 기판(208)의 소켓핀(210)을 열거나 닫아서 반도체 패키지를 테스터(tester)와 연결하는데 사용된다.

<60> 상기 소켓 콘택 기판(208)은 반도체 패키지의 외부연결단자가 전기적으로 연결되는 소켓핀(210)이 아래이 형태로 배열된 인쇄회로기판(PCB)으로 특정 반도체 패키지만을 위한 것이 아니라, 일반적인 반도체 패키지에 모두 적용될 수 있는 공용 소켓 콘택 기판(universal socket contact board)이다. 이에 대하여는 도 11의 평면도를 통하여 상세히 설명하기로 한다.

<61> 상기 래치(204)는 소켓 콘택 기판(208) 위에 설치되는 수단으로, 상기 해드 어셈블리의 패키지 가이더가 누르는 힘에 의하여 개방되어 반도체 패키지의 로딩/언로딩을 가능하게 하고, 상기 누르는 힘이 없어지면 상기 소켓 콘택 기판(208) 위의 반도체 패키지를 고정시키는 역할을 수행하게 된다.

<62> 도 5는 본 발명에 의한 반도체 패키지 검사 장치의 해드 어셈블리를 설명하기 위한 사시도이고, 도 6은 평면도이고, 도 7은 정면도이다.

<63> 도 5 내지 도 7을 참조하면, 본 발명에 의한 해드 어셈블리(100)의 특징은 기존에 소켓에서 어댑터에 의해 수행되던 정렬 기능을 대신 수행한다는 것이다. 또한 본 발명은 복수개의 반도체 패키지를 동시에 검사하는 번인 검사(burn-in test) 및 병렬 검사(parallel test)에 관한 것이기 때문에, 반도체 패키지의 로딩 역시 하나씩 로딩하거나 언로딩하는 방식이 아닌, 동시에 복수개를 로딩하거나 언로딩하는 방식을 위한 해드 어셈블리(100)이다. 상기 해드 어셈블리(100)에는 반도체 패키지를 로딩하거나 언로딩하

는데 사용되는 픽 앤 플레이스 툴(도10의 300)이 동작하는 픽 앤 플레이스 툴 동작부(106)가 있다. 또한 4개의 해드 어셈블리(100)에서 단위 해드 어셈블리에는 패키지 가이더(102)와, 소켓 가이더(104)가 각각 설치되어 있기 때문에 소켓의 어댑터에서 하는 기능을 대신한다.

<64>      도 8은 도5에서 단위 해드 어셈블리에 대한 사시도이다.

<65>      도 8을 참고하면, 단위 해드 어셈블리(101)에서 픽 앤 플레이스 툴 작동부(106) 아래에 만들어진 패키지 가이더(102)는, 그 구조가 기존의 소켓 내부에서 사용되던 어댑터와 유사하여 반도체 패키지가 소켓의 소켓 콘택 기판으로 로딩될 때에 반도체 패키지를 정렬시키는 기능을 수행하게 된다. 또한, 정렬시 소켓 콘택 기판 위의 래치를 눌러 개방시킴으로써 반도체 패키지의 외부연결단자가 소켓 콘택 기판의 소켓핀 위에 정확하게 연결되도록 한다.

<66>      따라서, 반도체 패키지 크기가 바뀌 경우에 종래 기술에 의하면, 소켓의 어댑터를 모두 교환해야 하지만, 본 발명에 의하면 상기 해드 어셈블리(101)의 패키지 가이더(102)만을 교체하기 때문에, 반도체 패키지 크기 변화에 따라서, 필연적으로 수반되는 소켓 어댑터 변경에 소요되는 많은 노력을 들이지 않아도 된다.

<67>      참고로 일반적인 인터페이스 보오드에 설치된 소켓의 개수는 적게는 32개부터 256개까지 있으며, 하나의 반도체 패키지 종류에 사용되는 인터페이스 보오드의 개수 역시 많기 때문에 어댑터를 수작업으로 교체하는 데에는 많은 비용과 시간이 필요하게 된다.

<68>      도 9는 도8을 밑에 방향에서 바라본 사시도이다.

<69> 도 9를 참조하면, 상기 패키지 가이더(102)는 해드 어셈블리(101)가 소켓 커버(도 11의 202)와 맞닿을 때에 정렬이 틀어지면, 비록 패키지 가이더(102)가 정상적으로 작동 되더라도 소켓(도11의 200)의 소켓 콘택 기판(108)의 소켓핀(210)과 반도체 패키지의 외부연결단자(도10의 402)와의 정상적인 연결을 기대하기 어렵다. 이러한 문제를 해결하기 위하여, 해드 어셈블리(101)의 소켓 가이더(104)는, 끝단에 있는 경사면을 통해 미끄러져 상기 소켓 커버(도11의 202)의 네 귀퉁이 외곽에 정확하게 삽입된다. 따라서, 상기 패키지 가이더(102)가 작동되기 전에 해드 어셈블리(101)와, 소켓의 위치가 정확하게 일치하도록 선정렬하는 역할을 수행한다.

<70> 도 10은 본 발명에 의한 해드 어셈블리의 패키지 가이드를 통한 반도체 패키지 로딩 과정을 설명하기 위한 개략적인 측면도이다.

<71> 도 10을 참조하면, 일반적으로 픽 앤 플레이스 툴(300)에는 진공흡착부(302)가 있어서 반도체 패키지 몸체(401)를 진공의 힘으로 흡착하여서 이동시키고, 상기 진공흡착부(302)의 진공을 해제하면 반도체 패키지는 진공흡착부(302)로부터 분리되어 소켓 콘택 기판(도11의 208) 위로 로딩 된다. 이때, 패키지 가이더(102)에는 경사부(107)가 있기 때문에 픽 앤 플레이스 툴(300)의 로딩 위치에 오차가 발생하더라도 상기 경사부(107)를 통과한 반도체 패키지(400)가 정렬부(108)에서 올바르게 정렬된 채 낙하하여 소켓 콘택 기판에 정확하게 로딩된다.

<72> 도 11은 본 발명에 의한 소켓의 평면도이다.

<73> 도 11을 참조하면, 본 발명에 의한 소켓(200)의 소켓 콘택 기판(208)에는 어댑터가 별도로 사용되지 않는다. 이는 상술한 해드 어셈블리의 패키지 가이더 및 소켓 가이더가 그 기능을 반도체 패키지 로딩 단계에서 대신하기 때문이다. 따라서 반도체 패키지

의 크기 변경이 발생할 경우, 많은 노력이 소요되는 어댑터 교체 작업을 번거롭게 수행 할 필요가 없다. 그러나 본 발명에 의한 소켓 콘택 기판(208) 위에는 필요에 따라 프리 사이즈 어댑터(도 12의 220)를 더 설치할 수 있다. 상기 프리 사이즈 어댑터(Free size adapter)는 종래 기술의 어댑터처럼 반도체 패키지의 정렬을 위해서 설치하는 것이다. 이는 반도체 패키지 로딩시, 외부연결단자가 상기 소켓의 소켓 콘택 기판과 연결될 때에 패키지 가이더가 위치할 수 있는 공간 확보를 위한 것이다. 이에 대해서는 도 12를 참조하여 더욱 상세히 설명하도록 한다.

<74>      도 12는 본 발명에 의한 프리 사이즈 어댑터의 평면도이다.

<75>      도 12를 참조하면, 프리 사이즈 어댑터(220)는, 지지부(212)와, 개방부(214)로 이루어진다. 상기 지지부(212)는, 해드 어셈블리에서 패키지 가이더(도 8의 102)가 아래로 내려올 때에 소켓 연결 기판의 표면 손상을 방지함과 동시에 패키지 가이더가 위치할 수 있는 공간을 확보하기 위해 설치된다. 이때, 상기 패키지 가이더를 통해 로딩되는 반도체 패키지의 크기는 반드시 개방부(214)의 크기와 일치하지 않아도 된다.

<76>      즉, 도면의 점선과 같이 A, B, C 크기를 갖는 반도체 패키지라도 공용으로 사용이 가능하게 된다. 예를 들면, 54개의 외부연결단자를 갖는 BGA 반도체 패키지라 하더라도 반도체 패키지의 크기가 4가지 종류로 달라질 수 있다. 이 경우 상기 프리 사이즈 어댑터(220) 하나의 설치만으로 모두 사용이 가능하게 된다. 이러한 프리 사이즈 어댑터(220)는 재질이 플라스틱이라서 쉽게 휘어질 수 있으며, 설치시 정확한 위치 정렬이 필요하지 않기 때문에 쉽게 소켓의 소켓 콘택 기판 위에 설치하는 것이 가능하다.

<77>      가령 종래 기술처럼 반도체 패키지의 크기 변화로 인하여 어댑터를 새로 설치한다면, 240개의 소켓이 한 개의 인터페이스 보오드에 존재하는 번인 검사용 인터페이스 보

오드를 12매의 어댑터를 교체하는데 소요시간이 12시간이었다. 그러나, 본 발명과 같이 패키지 가이더와 소켓 가이더를 구비한 해드 어셈블리를 사용하고, 프리 사이즈 어댑터로 교체하면 240개의 소켓이 내장된 인터페이스 보오드 12매에 대하여 프리 사이즈 어댑터를 설치하는데 소요되는 시간이 30분으로 단축된다. 따라서 어댑터 교체시간이 획기적으로 줄어든다.

<78>        도 13은 본 발명에 의한 프리 사이즈 어댑터를 소켓에 장착하였을 때에 소켓의 평면도이다.

<79>        도 13을 참조하면, 소켓(200)중 소켓 콘택 기판 위에 대부분의 영역은 프리 사이즈 어댑터의 지지부(212)가 덮고 있기 때문에 해드 어셈블리의 패키지 가이더가 아래로 내려올 때에 소켓 콘택 기판의 표면에 발생시킬 수 있는 손상을 방지할 수 있다. 또한 프리 사이즈 어댑터의 개방부(214) 내부에는 소켓핀(210)들이 아래이 형태로 배열되어 있다. 상기 프리 사이즈 어댑터의 개방부(214) 내부에서는 정렬된 상태에 있는 반도체 패키지를 래치(204)가 고정하기 때문에 반도체 패키지 크기에 관계없이 연결이 가능하게 된다.

<80>        이하, 본 발명에 의한 반도체 패키지 검사 장치를 이용한 검사방법에 관해 설명하기로 한다.

<81>        먼저 32~256개의 복수개의 소켓들이 탑재되어 반도체 패키지의 전기적 검사를 동시에 수행할 수 있는 인터페이스 보오드를 준비한다. 상기 인터페이스 보오드에 있는 소켓에는 어댑터가 설치되어 있지 않은 형태(도11 및 도13 참조)이다. 이어서 상기 인터페이스 보오드의 소켓에 있는 소켓 커버 위에 해드 어셈블리의 소켓 가이더가 도킹되어

1차 정렬이 이루어진다. 따라서, 상기 해드 어셈블리 및 소켓은 정확하게 정렬이 이루어 지게 된다.

<82> 이어서, 상기 해드 어셈블리의 패키지 가이더가 소켓 내부로 삽입되면서 소켓 콘택 기판 위의 래치를 열어준다. 이어서 해드 어셈블리의 핀 앤 플레이스 툴 작동부(도8의 106)를 통해 반도체 패키지가 패키지 가이더에 의해 2차 정렬되면서 소켓의 소켓 콘택 기판에 탑재된다. 그 후, 래치는 반도체 패키지를 눌러 고정시키고 핀 앤 플레이스 툴의 진공흡착부로부터 반도체 패키지는 분리된다. 마지막으로 해드 어셈블리가 소켓으로 부터 분리된다. 상기 검사방법은 반도체 패키지의 최종검사에서 병렬검사 방식에 적용 가능하며, 또한 번인 검사를 위하여도 적용될 수 있다.

<83> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

#### 【발명의 효과】

<84> 따라서, 상술한 본 발명에 따르면, 기존의 소켓 콘택 기판에 위에 필수적으로 사용되었던 어댑터의 기능을 해드 어셈블리에서 수행하게 하고, 상기 어댑터를 제거함으로써, 첫째 하나의 인터페이스 보오드를 여러 종류의 반도체 패키지에 공용으로 사용할 수 있다. 이에 따라 반도체 패키지의 전기적 검사공정에서 비용을 절감하고, 효율성 증대를 달성할 수 있다.

<85> 둘째, 어댑터를 사용하더라도 프라 사이즈 어댑터를 사용하기 때문에 어댑터 개발 및 금형 설계에 소요되는 비용을 절감하고, 어댑터의 교체비용 및 교체 시간을 절감할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 패키지를 집어 로딩/언로딩/loading/unloading)할 수 있는 퍽 앤 플레이스 툴(pick and place tool);

상기 퍽 앤 플레이스 툴 외곽에서 낙하하는 상기 반도체 패키지를 정렬시키는 기능을 수행하는 패키지 가이더(package guider)와, 상기 패키지 가이더 동작 전에 상기 패키지 가이더 외곽에서 소켓 커버를 누르는 기능을 수행하고 상기 소켓 커버와 맞닿아 상기 패키지 가이더가 정확하게 동작하도록 선정렬(pre-alignment)을 수행하는 소켓 가이더(socket guider)를 포함하는 해드 어셈블리(head assembly); 및

상기 해드 어셈블리 아래에서 상기 퍽 앤 플레이스 툴 및 해드 어셈블리에 의해 로딩된 반도체 패키지를 테스터와 연결하는 기능을 수행하는 소켓을 구비하는 것을 특징으로 하는 반도체 패키지 검사 장치.

**【청구항 2】**

제1항에 있어서,

상기 소켓은,

상기 소켓의 최상부에 있으며 상기 해드 어셈블리의 소켓 가이더에 의해 선정렬을 가능하게 하는 소켓 커버와,

상기 소켓 커버 아래에서 상기 반도체 패키지의 외부연결단자가 연결되도록 복수 개의 소켓핀이 어레이 형태로 정렬된 소켓 콘택 기판 및

상기 소켓 콘택 기판 위에 설치되며, 상기 해드 어셈블리의 패키지 가이더가 누르는 힘에 의해 개방되어 상기 반도체 패키지의 로딩/언로딩을 가능하게 하고, 상기 누르는 힘이 풀어질 때에는 상기 래치가 반도체 패키지를 고정시키는 역할을 하는 래치(latch)를 구비하는 것을 특징으로 하는 반도체 패키지 검사 장치.

#### 【청구항 3】

제2항에 있어서,

상기 소켓 콘택 기판은 특정 형태의 반도체 패키지 형태만을 위한 것이 아니라 일반적인 반도체 패키지에 모두 적용될 수 있는 소켓 콘택 기판(universal contact board for socket)인 것을 특징으로 하는 반도체 패키지 검사 장치.

#### 【청구항 4】

제1항에 있어서,

상기 소켓은 상기 소켓 콘택 기판 위에 설치되는 프리 사이즈 어댑터(free size adapter)를 더 구비하는 것을 특징으로 하는 반도체 패키지 검사 장치.

#### 【청구항 5】

제4항에 있어서,

상기 프리 사이즈 어댑터는 상기 반도체 패키지가 상기 소켓 콘택 기판과 연결될 때에 패키지 가이더가 위치할 수 있는 공간을 확보하면서 소켓 콘택 기판의 표면을 보호 할 수 있는 구조인 것을 특징으로 하는 반도체 패키지 검사 장치.

#### 【청구항 6】

제5항에 있어서,

상기 프리 사이즈 어댑터는 지지부 및 개방부로 이루어진 것을 특징으로 하는 반도체 패키지 검사 장치.

【청구항 7】

제5항에 있어서,

상기 프리 사이즈 어댑터는 휘어질 수 있는 플라스틱 재질인 것을 특징으로 하는 반도체 패키지 검사 장치.

【청구항 8】

제1항에 있어서,

상기 핵 앤 플레이스 틀은 진공에 의해 반도체 패키지 몸체를 흡착하여 로딩/언로딩하는 것을 특징으로 하는 반도체 패키지 검사 장치.

【청구항 9】

제1항에 있어서,

상기 해드 어셈블리는 복수개의 반도체 패키지를 동시에 로딩/언로딩할 수 있는 구조인 것을 특징으로 하는 반도체 패키지 검사 장치.

【청구항 10】

제1항에 있어서,

상기 해드 어셈블리의 패키지 가이더는 네 귀퉁이에서 낙하하는 반도체 패키지 몸체가 닿은 상태로 미끄러져 정렬되는 경사부와,

상기 경사부를 통과한 반도체 패키지가 정렬된 상태로 낙하되는 정렬부를 구비하는 것을 특징으로 반도체 패키지 검사 장치.

**【청구항 11】**

제1항에 있어서,

상기 해드 어셈블리의 소켓 가이더는 해드 어셈블리가 아래로 눌러질 때에 소켓 가이더 끝단의 경사면을 통해 미끄려져 상기 소켓 커버의 네 귀퉁이 외곽에 맞닿아 상기 해드 어셈블리와 상기 소켓의 위치가 정확하게 일치되도록 정렬시키는 구조인 것을 특징으로 하는 반도체 패키지 검사 장치.

**【청구항 12】**

제1항에 있어서,

상기 소켓은 반도체 패키지의 병렬검사를 위한 인터페이스 보오드에 사용되는 것을 특징으로 반도체 패키지 검사 장치.

**【청구항 13】**

제1항에 있어서,

상기 소켓은 반도체 패키지의 번인 검사(burn-in test)를 위한 인터페이스 보오드에 사용되는 것을 특징으로 하는 반도체 패키지 검사 장치.

**【청구항 14】**

복수개의 소켓들이 탑재되어 반도체 패키지의 전기적 검사를 수행할 수 있는 인터페이스 보오드(interface board)를 준비하는 단계;

상기 인터페이스 보오드의 소켓에 있는 소켓 커버 위에 해드 어셈블리의 소켓 가이더를 도킹시켜 1차 정렬을 진행하는 단계;

상기 해드 어셈블리의 패키지 가이더가 소켓 커버를 눌러 소켓 래치를 열어주는 단계;

핀 앤 플레이스 툴에 부착된 반도체 패키지가 상기 해드 어셈블리의 패키지 가이더에 의해 2차 정렬되면서 소켓 내부의 소켓 콘택 기판에 탑재되는 단계;

상기 해드 어셈블리가 위에서 누르는 힘이 해제되면서 상기 소켓의 래치가 상기 반도체 패키지를 고정시키는 단계;

상기 핀 앤 플레이스 툴에서 상기 반도체 패키지가 분리되는 단계; 및  
상기 소켓 콘택 기판에 탑재된 상기 반도체 패키지에 대한 전기적 검사를 진행하는  
단계를 구비하는 것을 특징으로 하는 반도체 패키지 검사 방법.

#### 【청구항 15】

제14항에 있어서,

상기 반도체 패키지의 전기적 검사는 병렬 검사인 것을 특징으로 하는 반도체 패키지 검사방법.

#### 【청구항 16】

제14항에 있어서,

상기 인터페이스 보오드는 반도체 패키지에 대한 최종검사(Final test)용인 것을  
특징으로 하는 반도체 패키지 검사방법.

#### 【청구항 17】

제14항에 있어서,

상기 최종검사는 고온, 상온 및 저온 검사중에서 어느 하나인 것을 특징으로 하는 반도체 패키지 검사방법.

【청구항 18】

제14항에 있어서,

상기 인터페이스 보오드는 상기 반도체 패키지에 대한 번인 검사용인 것을 특징으로 하는 반도체 패키지 검사방법.

【청구항 19】

제14항에 있어서,

상기 1차 정렬은 소켓 가이더의 네 귀퉁이가 상기 소켓 커버의 네 귀퉁이에 정확하게 맞닿아 정렬이 이루어지는 것을 특징으로 하는 반도체 패키지 검사방법.

【청구항 20】

제14항에 있어서,

상기 핵 앤 플레이스 툴은 상기 반도체 패키지를 진공에 의해 부착시키고 분리시키는 방식인 것을 특징으로 하는 반도체 패키지 검사방법.

【청구항 21】

제14항에 있어서,

상기 2차 정렬 방법은 상기 패키지 가이더의 경사부를 통해 상기 반도체 패키지가 정 위치로 내려오도록 하는 단계; 및

상기 정 위치된 반도체 패키지가 정렬된 상태로 정렬부를 통해 수직으로 내려오도록 하는 단계를 구비하는 것을 특징으로 하는 반도체 패키지 검사방법.

**【청구항 22】**

제14항에 있어서,

상기 소켓 콘택 기판은 상기 반도체 패키지가 로딩시 패키지 가이더가 위치할 수 있는 공간 확보하고 소켓 콘택 기판 표면을 보호할 수 있는 구조물을 상부에 더 구비하는 것을 특징으로 하는 반도체 패키지 검사방법.

**【청구항 23】**

제22항에 있어서,

상기 구조물은 상기 반도체 패키지의 외부연결단자 형태에 관계없이 적용될 수 있는 일반적인 구조의 프리 사이즈 어댑터인 것을 특징으로 하는 반도체 패키지 검사방법.

**【청구항 24】**

제14항에 있어서,

상기 소켓의 래치가 상기 반도체 패키지를 고정시키는 방법은 위에서 반도체 패키지를 눌려서 고정시키는 것을 특징으로 하는 반도체 패키지 검사방법.

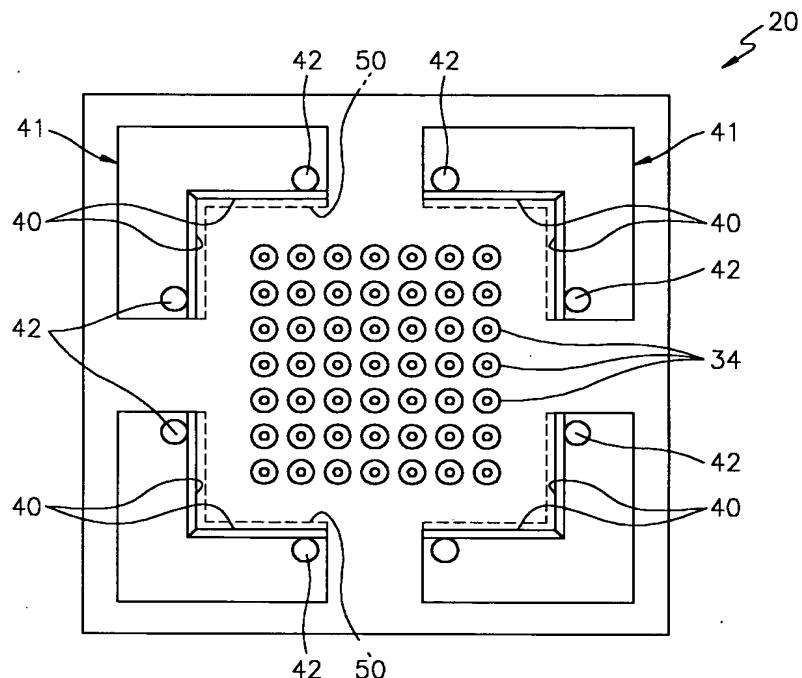
**【청구항 25】**

제14항에 있어서,

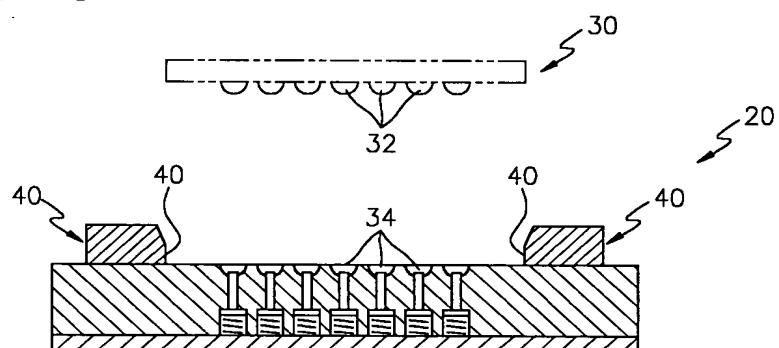
상기 반도체 패키지는 솔더볼을 외부연결단자로 사용하는 것을 특징으로 하는 반도체 패키지 검사방법.

## 【도면】

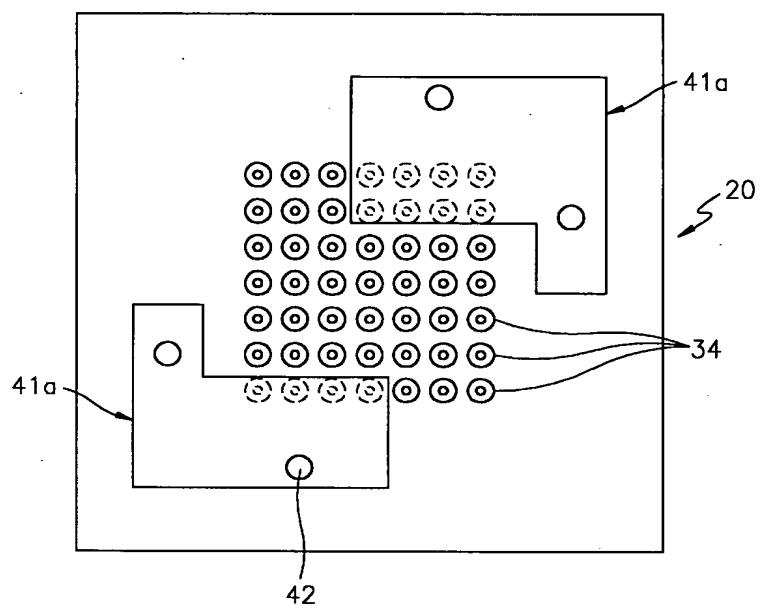
【도 1】



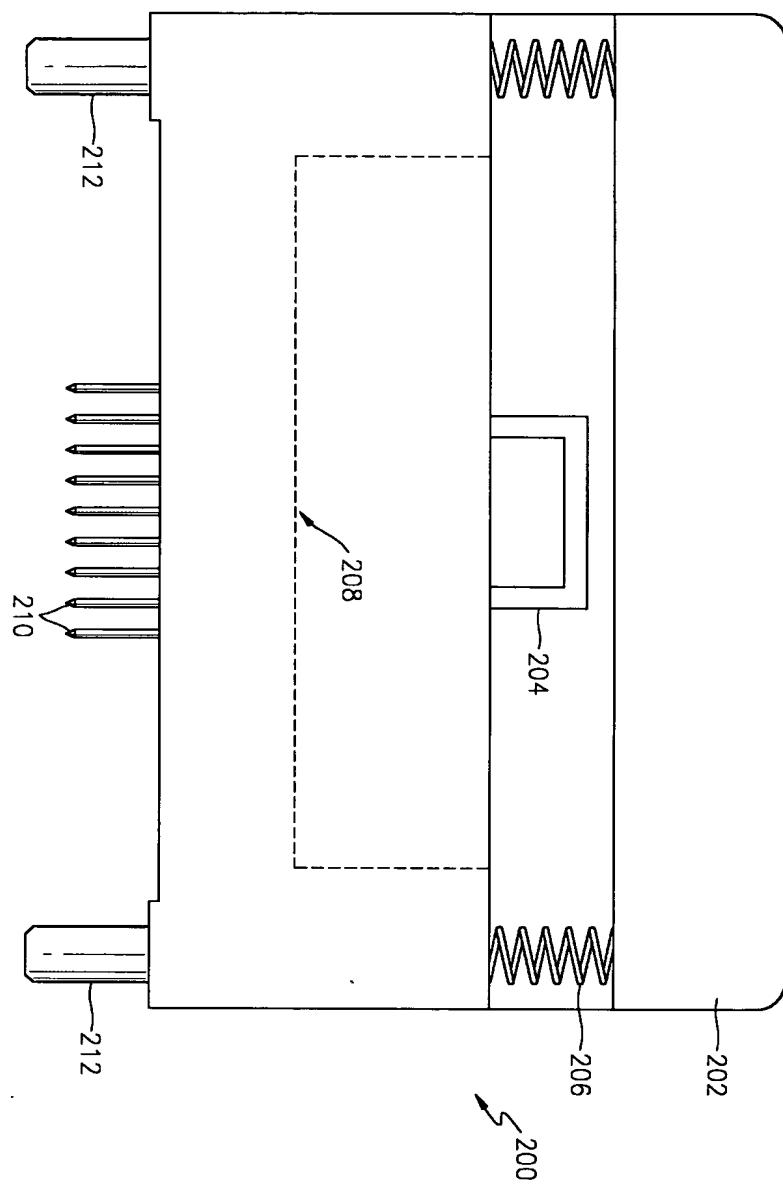
【도 2】



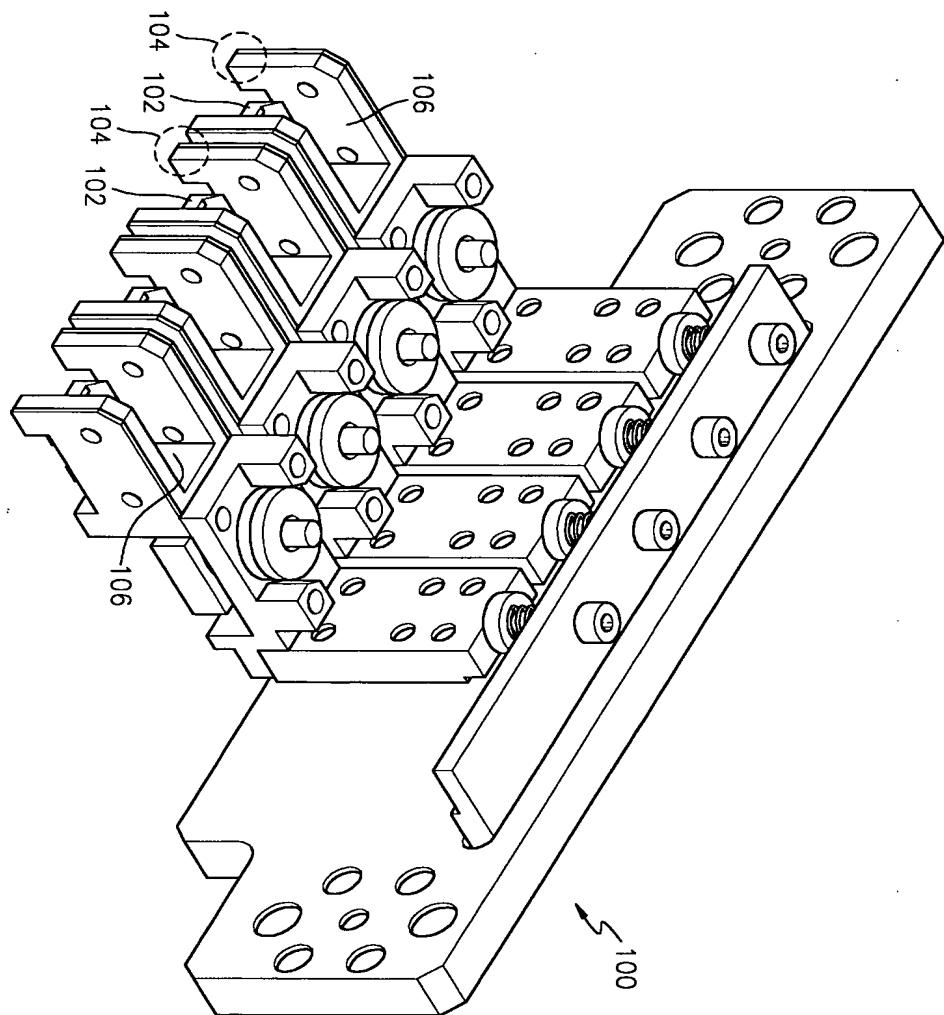
【도 3】



【도 4】



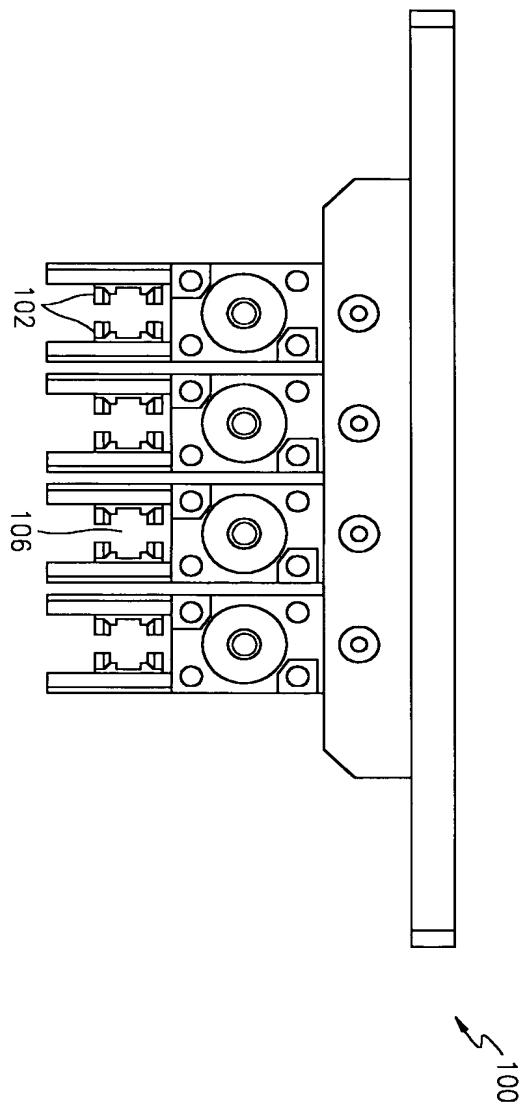
【도 5】



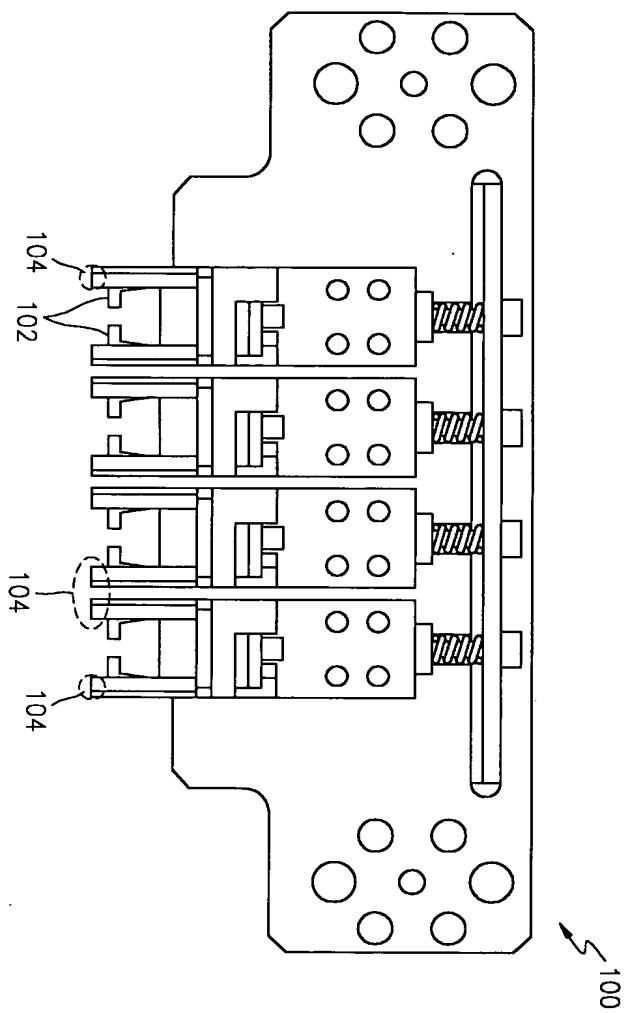
1020020077084

출력 일자: 2003/6/3

【도 6】



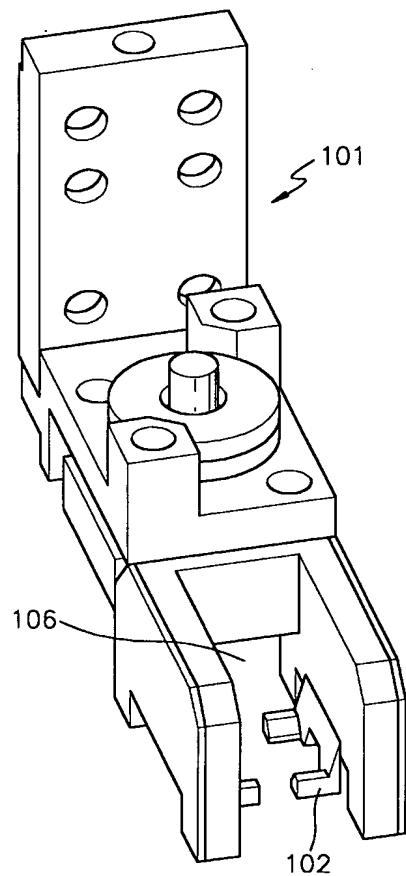
【도 7】



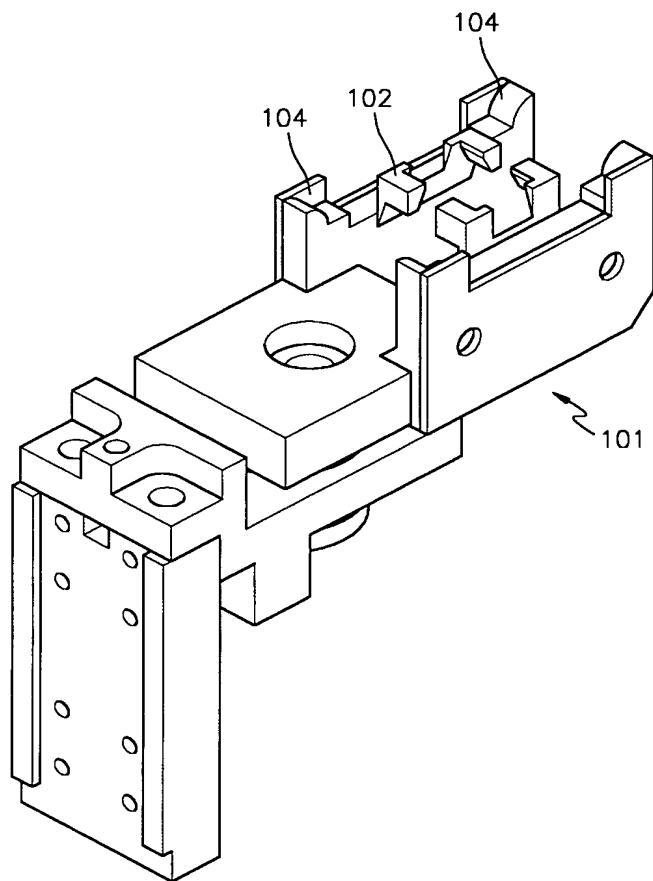
1020020077084

출력 일자: 2003/6/3

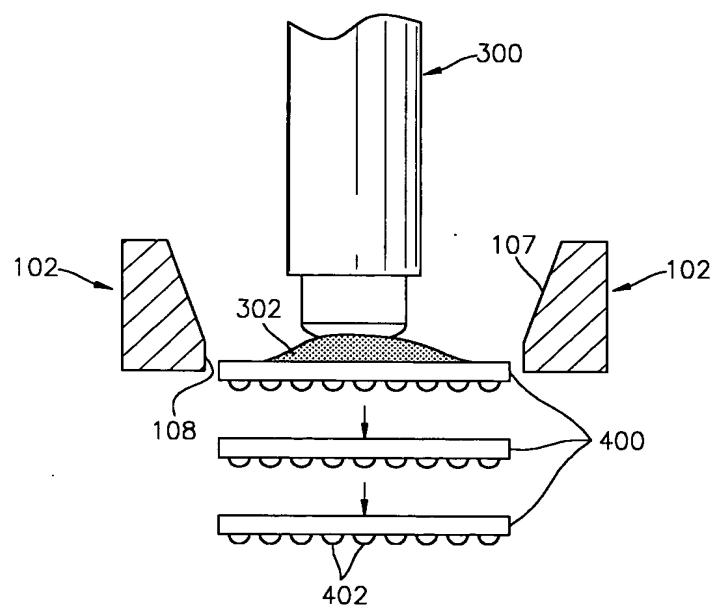
【도 8】



【도 9】



【도 10】

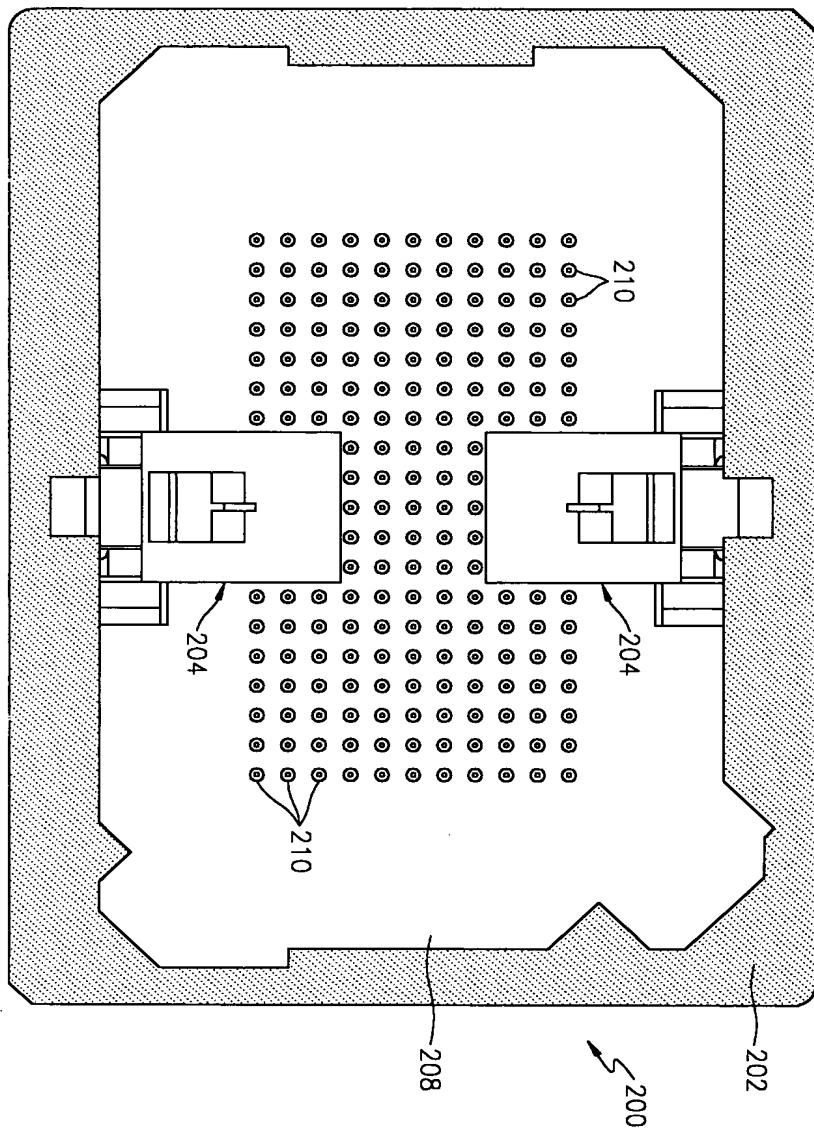




1020020077084

출판 일자: 2003/6/3

【도 11】

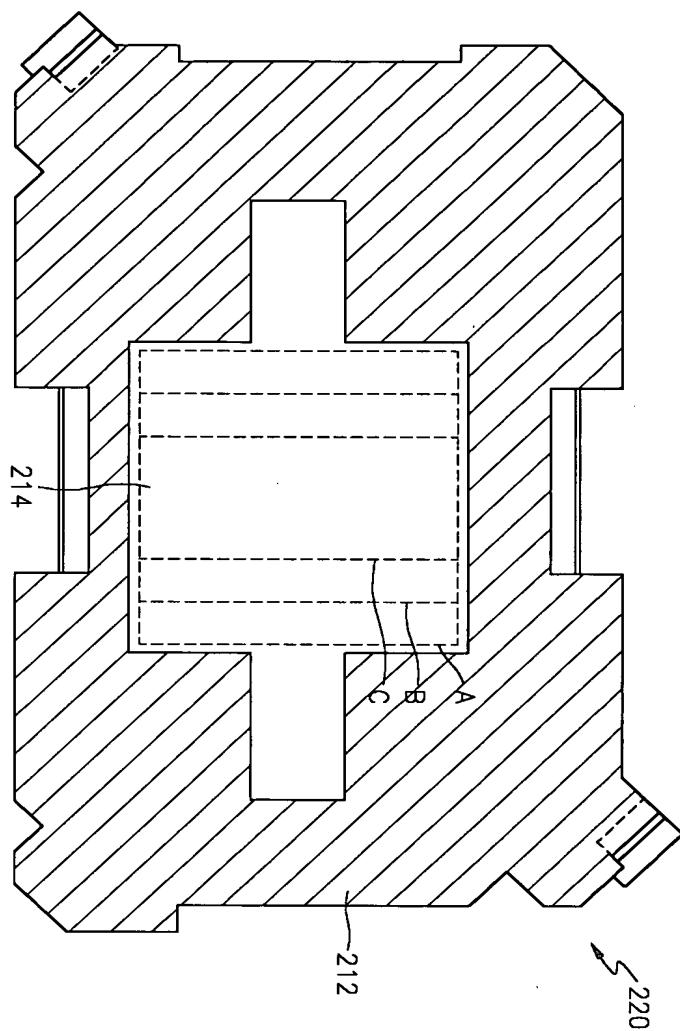




1020020077084

출력 일자: 2003/6/3

【도 12】





1020020077084

출력 일자: 2003/6/3

【도 13】

